

B7



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11095718 A

(43) Date of publication of application: 99 . 04 . 99

(51) Int. Cl. G09G 3/28

(21) Application number: 09253759

(22) Date of filing: 18 . 09 . 97

(71) Applicant: FUJITSU LTD

(72) Inventor: HIRAKAWA HITOSHI
YONEDA YASUSHI

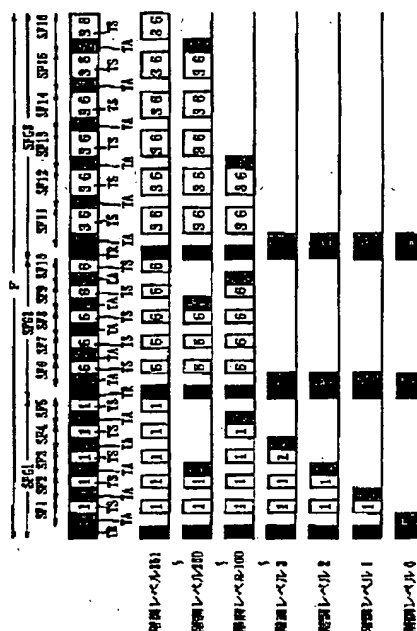
(54) AC TYPE PDP DRIVING METHOD AND PLASMA
DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To stabilize operation regardless of reproduced gradation level.

SOLUTION: One field F is constituted of three or more of sub-fields SF1-16 weighted with luminance, and when an address term TA setting the necessity of lighting of respective cells and a sustaining term TS keeping a lighting state are allocated to for every sub-field, and a gradation display is performed, the sets of the sub-fields SF1-16 by one field are divided to two or above of sub-field groups SFG1-3, and charge forming processing for charging a wall charge required for keeping the lighting state on the cells of a whole picture is performed first as addressing preparatory processing in respective sub-field groups SFG1-3, and erase addressing for erasing the wall charge is performed related to only the cells unnecessary for lighting in the address term of respective sub-fields.

COPYRIGHT: (C)1999,JPO



San
6,097,358

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-95718

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁸

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

K

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21) 出願番号 特願平9-253759

(22) 出願日 平成9年(1997) 9月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 平川 仁

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 米田 靖司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

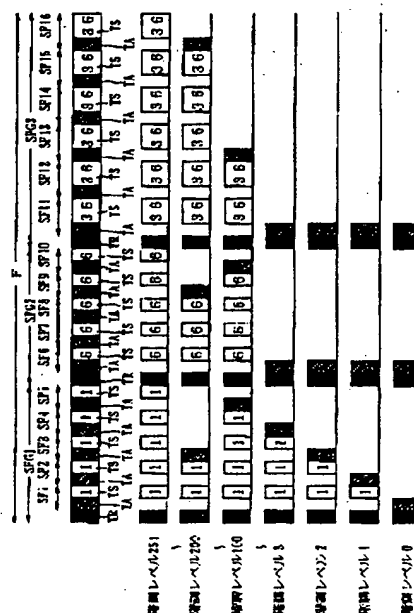
(54) 【発明の名称】 AC型PDPの駆動方法及びプラズマ表示装置

(57) 【要約】

【課題】再現する階調レベルに係わらず動作を安定させることを目的とする。

【解決手段】1フィールドFを輝度の重み付けをした3以上のサブフィールドSF1~16で構成し、各セルの点灯の要否を設定するアドレス期間TAと点灯状態を維持するサステイン期間TSとをサブフィールド毎に割り当てて階調表示を行うにあたって、1フィールド分のサブフィールドSF1~16の組を2以上のサブフィールド群SFG1~3に区分し、各サブフィールド群SFG1~3において最初にアドレッシング準備処理として画面全体のセルに点灯状態の維持に必要な壁電荷を帯電させるための電荷形成処理を行い、各サブフィールドのアドレス期間において点灯不要のセルのみについて壁電荷を消去するための消去アドレッシングを行う。

本発明の駆動方法の模式図



【特許請求の範囲】

【請求項1】1フィールドを輝度の重み付けをした3以上のサブフィールドで構成し、各セルの点灯の要否を設定するアドレス期間と点灯状態を維持するサステイン期間とをサブフィールド毎に割り当てて階調表示を行うAC型PDPの駆動方法であって、

1フィールド分の前記サブフィールドの組を2以上のサブフィールド群に区分し、

前記各サブフィールド群では最初にアドレッシング準備処理として画面全体のセルに点灯状態の維持に必要な壁電荷を帯電させるための電荷形成処理を行い、

前記各サブフィールドのアドレス期間において点灯不要のセルのみについて壁電荷を消去するための消去アドレッシングを行うことを特徴とするAC型PDPの駆動方法。

【請求項2】前記電荷形成処理は、

それ以前の最後のサステイン期間で点灯状態が維持されたセルである前回点灯セルの壁電圧の極性を反転させる第1処理と、前記前回点灯セル以外のセルである前回非点灯セルに前記前回点灯セルと同一極性の壁電圧を生じさせる第2処理とからなる請求項1記載のAC型PDPの駆動方法。

【請求項3】前記各サブフィールド群において、それに属する前記各サブフィールドの輝度の重みは同一であり、

最も小さい輝度の重みを1としたときの他の重みは、1の整数倍であり且つそれより小さい重みの総和に1を加えた値以下であり且つそれより小さい重みのうちの最大のものより大きい値である請求項1又は請求項2記載のAC型PDPの駆動方法。

【請求項4】互いに輝度の重みの異なる2以上のサブフィールドが属する1以上のサブフィールド群を設ける請求項1又は請求項2記載のAC型PDPの駆動方法。

【請求項5】特定の前記サブフィールド群について、第2番目以降のアドレス期間に、それ以前のアドレス期間に電荷消去のための電圧を印加したセルに対して再び前記電圧を印加する請求項1乃至請求項4のいずれかに記載のAC型PDPの駆動方法。

【請求項6】輝度の重みの降順に選択した1以上のサブフィールド群を前記特定のサブフィールド群とする請求項5記載のAC型PDPの駆動方法。

【請求項7】輝度の重みの総和の降順に選択した1以上のサブフィールド群を前記特定のサブフィールド群とする請求項5記載のAC型PDPの駆動方法。

【請求項8】特定の前記サブフィールド群について、1回又は複数回の消去アドレッシングによって電荷消去のための電圧を印加していないセルが無くなった場合に、その後の前記サステイン期間及びアドレス期間において全てのセルに対する実質的な電圧印加を停止する請求項1乃至請求項4のいずれかに記載のAC型PDPの駆動

方法。

【請求項9】輝度の重みの総和の降順に選択した1以上のサブフィールド群を前記特定のサブフィールド群とする請求項8記載のAC型PDPの駆動方法。

【請求項10】サブフィールド数の降順に選択した1以上のサブフィールド群を前記特定のサブフィールド群とする請求項8記載のAC型PDPの駆動方法。

【請求項11】前記サブフィールドのうち、輝度の重みの昇順に選択した1以上のサブフィールドについて、前記消去アドレッシングのライン走査周期を他のサブフィールドよりも短くする請求項1乃至請求項10のいずれかに記載のAC型PDPの駆動方法。

【請求項12】前記サブフィールド群のうち、それに属する前記サブフィールドの輝度の重みの総和の昇順に選択した1以上のサブフィールド群について、前記消去アドレッシングのライン走査周期を他のサブフィールド群よりも短くする請求項1乃至請求項10のいずれかに記載のAC型PDPの駆動方法。

【請求項13】壁電荷の帯電によるメモリ機能を有する複数の画素をマトリクス状に配列して画面を構成したAC型PDPの駆動方法であって、

前記画面に表示される1フィールドを複数のサブフィールドに分割するとともに、その分割したサブフィールドを画素の点灯の要否を設定するアドレス期間と点灯状態を維持する表示期間とに分割し、

前記1フィールドにおいて連続する複数のサブフィールド列の開始に先立って画面全体の画素に点灯状態の維持に必要な壁電荷を帯電させるための電荷形成処理を共通に加えた後、連続する複数のサブフィールド列中の選択されたサブフィールドのアドレス期間において点灯不要の画素の壁電荷を消去するための消去アドレッシングを選択的にを行い、

表示すべき各画素の明るさに対応して前記複数のサブフィールド列の開始に先立つ点灯操作から選択されたサブフィールドでの消去アドレッシングが行われるまでに含まれるサブフィールドの数を制御するようにしたことを特徴とするAC型PDPの駆動方法。

【請求項14】前記電荷形成処理は、

それ以前の最後の表示期間で点灯状態が維持された画素である前回点灯画素の壁電荷の極性を反転させる第1処理と、前記前回点灯画素以外のセルである前回非点灯画素に前記前回点灯画素と同一極性の壁電荷を生じさせる第2処理とからなる請求項13記載のAC型PDPの駆動方法。

【請求項15】行方向に延びる第1及び第2の主電極、列方向に延びるアドレス電極、及び前記第1及び第2の主電極を放電ガス空間に対して被覆する誘電体を有した3電極面放電構造のPDPと、

請求項1乃至請求項14のいずれかに記載のAC型PDPの駆動方法を適用したシーケンスの電圧印加を前記P

DPに対して行う駆動回路と、を備えたことを特徴とするプラズマ表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AC型PDP (Plasma Display Panel: プラズマディスプレイパネル) の駆動方法に関する。

【0002】PDPは、基板対を支持体とする薄型の自己発光表示デバイスであり、カラー画面の実用化を機にテレビジョン映像やコンピュータのモニターなどの用途で広く用いられるようになってきた。ハイビジョン用の大画面の実現手段としても注目されている。このようなPDPの高精細化及び大画面化を進めるには、動作の信頼性を確保しつつ消費電力を低減する必要がある。

【0003】

【従来の技術】AC型PDPは、壁電荷を利用して点灯状態を維持するいわゆるメモリ機能を持たせるために主電極を誘電体で被覆した構造のPDPである。表示に際しては、点灯（発光）すべきセルのみが帯電した状態を形成するライン順次のアドレッシングを行い、その後、全てのセルに対して一斉に交番極性の点灯維持電圧 V_s を印加する。点灯維持電圧 V_s は(1)式を満たす。

【0004】 $V_f - V_{wall} < V_s < V_f \dots (1)$

V_f : 放電開始電圧

V_{wall} : 壁電圧

壁電荷の存在するセルでは、壁電圧 V_{wall} が点灯維持電圧 V_s に重畳するので、セルに加わる実効電圧（セル電圧ともいう） V_{eff} が放電開始電圧 V_f を越えて放電が生じる。点灯維持電圧 V_s の印加周期を短くすれば、見かけの上で連続的な点灯状態が得られる。表示の輝度は、単位時間あたりの放電回数に依存する。したがって、中間調は、セル毎に1フィールド（ノンインタレースの場合は1フレーム）の放電回数を階調レベルに応じて適切に設定することによって再現される。カラー表示は階調表示の一種であって、表示色は3原色の輝度の組合せによって決まる。

【0005】PDPの階調表示方法としては、1フィールドを輝度（すなわち放電回数）の重み付けをした複数のサブフィールドで構成し、サブフィールド単位の点灯の有無の組合せによって1フィールドの総放電回数を設定する方法が広く知られている（特開平4-195188号）。一般には、各サブフィールドに対して重みが2ⁿ（n=0, 1, 2, 3...）で表されるいわゆる“バイナリーの重み付け”を行う。例えばサブフィールド数が8であれば、階調レベルが「0」～「255」の256階調の表示が可能である。

【0006】バイナリーの重み付けは重みに冗長性がなく多階調化に適している。しかし、階調幅（階調の1段分の輝度差）を階調範囲の全域にわたって均等とするには、サブフィールド毎にアドレッシングを行わなければ

ならない。また、サブフィールド毎にアドレッシングに先立って画面全体の帯電状態を一様化するリセット処理（アドレッシング準備処理）を行う必要がある。リセット処理を省略すると、壁電荷の残留するセル（前回点灯セル）と他のセル（前回非点灯セル）とで放電条件が異なることになり、確実にアドレッシングを行うことが困難になる。リセット処理及びアドレッシングは放電を伴うので、コントラスト及び消費電力の観点からすればこれらの回数がより少ないのが望ましい。特に高精細のPDPではアドレッシング用の回路部品の負担が大きいため、発熱対策の上からもアドレッシング回数の低減が切望される。

【0007】そこで、従来において、所定数のサブフィールドを複数のサブフィールド群に区分し、各サブフィールド群に属するサブフィールドの重みを等しくし、サブフィールド群毎に1回ずつリセット処理を行う駆動方法が提案されている（特許第2639311号）。

【0008】図8は従来の駆動方法の模式図である。図8の例において、フィールド f は計9個のサブフィールド $s f 1 \sim s f 9$ で構成され、これらのサブフィールド $s f 1 \sim s f 9$ は3個ずつ3個のサブフィールド群 $s f g 1 \sim s f g 3$ に区分けされている。第1のサブフィールド群 $s f g 1$ の各サブフィールド $s f 1 \sim s f 3$ の重みは1であり、第2のサブフィールド群 $s f g 2$ の各サブフィールド $s f 4 \sim s f 6$ の重みは4であり、第3のサブフィールド群 $s f g 3$ の各サブフィールド $s f 7 \sim s f 9$ の重みは16である。このフィールド構成では、階調レベル「0」～「63」の64階調の表示が可能である。各サブフィールド $s f 1 \sim s f 9$ 毎にアドレッシングのためのアドレス期間 t_a と点灯維持のためのサステイン期間（表示期間） t_s とが割り当てられ、各サブフィールド群 $s f g 1 \sim s f g 3$ 毎にリセット処理のためのリセット期間 t_r が割り当てられている。なお、アドレス期間 t_a は一定長（ライン走査周期とライン数との積）であるが、サステイン期間 t_s は輝度の重みが大きいほど長い。

【0009】従来では、リセット処理として残留壁電荷を消失させて画面全体を無帯電状態とする電荷消去処理が行われ、アドレッシングとして点灯すべきセルのみに新たに壁電荷を生じさせる選択書込みが行われていた。

【0010】例えば階調レベル「3」を再現するには、重みが1である3個のサブフィールド $s f 1 \sim s f 3$ のサステイン期間 t_s においてセルを点灯させればよい。この場合、第1のサブフィールド群 $s f g 1$ のリセット期間 t_r において画面全体の電荷が消去され、第1番目のサブフィールド $s f 1$ のアドレス期間 t_a において該当セルに対して書込みが行われる。第2番目及び第3番目のサブフィールド $s f 2$ 、 $s f 3$ のアドレス期間 t_a では書込みは行われず、サステイン期間 t_s では残留する壁電荷を用いて点灯維持が行われる。その後、第2の

サブフィールド群 $s f g 2$ のリセット期間 $t r$ において壁電荷が消去され、該当セルは点灯維持電圧を印加しても放電の生じない非点灯状態となる。また、階調レベル「2」を再現する場合には、第2番目のサブフィールド $s f 2$ のアドレス期間 $t a$ において書込みが行われ、第2番目及び第3番目のサブフィールド $s f 2$ 、 $s f 3$ のサステイン期間 $t s$ において該当セルが点灯する。

【0011】このように各サブフィールド群 $s f g 1 \sim s f g 3$ 毎に再現すべき階調レベルに応じて書込みを行う時期を変更することにより、リセット処理回数をサブフィールド群数に減らすことができ、アドレッシング回数をサブフィールド群数以下に減らすことができる。書込み形式のアドレッシングであるので、再現すべき階調レベルが「0」のときにはアドレッシングは不要である。

【0012】

【発明が解決しようとする課題】しかし、従来の駆動方法では、リセット処理に続いてアドレッシングを行うときはリセット処理の放電で生じた空間電荷によるブライミング効果が大きい。リセット処理からアドレッシングまでの時間が長くなるほど、空間電荷が減少してブライミング効果が小さくなり、アドレッシングにおける放電ミスの発生確率が上昇してしまう。つまり、各サブフィールド群 $s f g 1 \sim s f g 3$ のうちで点灯させるサブフィールド数が少ない階調レベルの再現が不安定となる。このため、各サブフィールド群 $s f g 1 \sim s f g 3$ のサブフィールド数を増加し、それによってアドレッシングに係わる消費電力を増やすことなく多階調化を図ることが困難であった。加えて、アドレッシングにおいて必要量の壁電荷を帯電させるためにライン走査周期を、3.7 μs 程度の比較的長い値に設定しなければならなかった。したがって、ライン数が480の場合で1回のアドレッシングの所要時間は約1.78msであり、1フィールド期間(約16.7ms)に行うことのできるアドレッシングの最大数は9であった。

【0013】本発明は、サブフィールドを区分けしてサブフィールド数より少ない回数のアドレッシングで階調再現を行う場合に、再現する階調レベルに依存しない動作の安定を実現することを目的としている。他の目的は、サブフィールド群のサブフィールド数を増加し、それによってアドレッシングに係わる消費電力を増やすことなく多階調化を図ることにある。

【0014】

【課題を解決するための手段】本発明においては、アドレッシングの準備として画面全体を一様に帯電させ、点灯不要のセルのみについて電荷を消去するアドレッシングを行うようにする。これにより、たとえ注目するセルの電荷を消去すべきサブフィールドが第2番目以降のサブフィールドであって、アドレッシング準備から消去のための放電までの経過時間が長くても、その期間に以前

のサブフィールドのサステインが行われるので、消去のための放電の時点でブライミング効果に十分な空間電荷が存在する。

【0015】画面全体を一様に帯電させるために、壁電圧の極性を反転させる第1処理と、壁電荷の消去されているセルを新たに帯電させる第2処理とを行うことにより、以前の点灯の有無に依存しない均一な帯電状態を得ることができ、アドレッシングの信頼性を高めることができる。

【0016】請求項1の発明の方法は、1フィールドを輝度の重み付けをした3以上のサブフィールドで構成し、各セルの点灯の要否を設定するアドレス期間と点灯状態を維持するサステイン期間とをサブフィールド毎に割り当てて階調表示を行うAC型PDPの駆動方法であって、1フィールド分の前記サブフィールドの組を2以上のサブフィールド群に区分し、前記各サブフィールド群では最初にアドレッシング準備処理として画面全体のセルに点灯状態の維持に必要な壁電荷を帯電させるための電荷形成処理を行い、前記各サブフィールドのアドレス期間において点灯不要のセルのみについて壁電荷を消去するための消去アドレッシングを行うものである。

【0017】本発明におけるフィールドとは、時系列の画像表示の単位画像である。すなわち、テレビジョンの場合にはインタレース形式のフレームの各フィールドを意味し、コンピュータ出力に代表されるノンインタレース形式(1対1インタレース形式とみなせる)の場合にはフレームそのものを意味する。

【0018】請求項2の発明の方法において、前記電荷形成処理は、それ以前の最後のサステイン期間で点灯状態が維持されたセルである前回点灯セルの壁電圧の極性を反転させる第1処理と、前記前回点灯セル以外のセルである前回非点灯セルに前記前回点灯セルと同一極性の壁電圧を生じさせる第2処理とからなる。

【0019】請求項3の発明の駆動方法は、前記各サブフィールド群に属する前記各サブフィールドの輝度の重みを同一とし、最も小さい輝度の重みを1としたときの他の重みを、1の整数倍であり且つそれより小さい重みの総和に1を加えた値以下であり且つそれより小さい重みのうちの最大のものより大きい値とするものである。

【0020】請求項4の発明の駆動方法は、互いに輝度の重みの異なる2以上のサブフィールドが属する1以上のサブフィールド群を設けるものである。請求項5の発明の駆動方法は、特定の前記サブフィールド群について、第2番目以降のアドレス期間に、それ以前のアドレス期間に電荷消去のための電圧を印加したセルに対して再び前記電圧を印加するものである。

【0021】請求項6の発明の駆動方法は、輝度の重みの降順に選択した1以上のサブフィールド群を前記特定のサブフィールド群とするものである。請求項7の発明の駆動方法は、輝度の重みの総和の降順に選択した1以

上のサブフィールド群を前記特定のサブフィールド群とするものである。

【0022】請求項8の発明の駆動方法は、特定の前記サブフィールド群について、1回又は複数回の消去アドレッシングによって電荷消去のための電圧を印加していないセルが無くなった場合に、その後の前記サステイン期間及びアドレス期間において全てのセルに対する実質的な電圧印加を停止するものである。

【0023】請求項9の発明の駆動方法は、輝度の重みの総和の降順に選択した1以上のサブフィールド群を前記特定のサブフィールド群とするものである。請求項10の発明の駆動方法は、サブフィールド数の降順に選択した1以上のサブフィールド群を前記特定のサブフィールド群とするものである。

【0024】請求項11の発明の駆動方法は、前記サブフィールドのうち、輝度の重みの昇順に選択した1以上のサブフィールドについて、前記消去アドレッシングのライン走査周期を他のサブフィールドよりも短くするものである。

【0025】請求項12の発明の駆動方法は、前記サブフィールド群のうち、それに属する前記サブフィールドの輝度の重みの総和の昇順に選択した1以上のサブフィールド群について、前記消去アドレッシングのライン走査周期を他のサブフィールド群よりも短くするものである。

【0026】請求項13の発明の駆動方法は、壁電荷の帯電によるメモリ機能を有する複数の画素をマトリクス状に配列して画面を構成したAC型PDPの駆動方法であって、前記画面に表示される1フィールドを複数のサブフィールドに分割するとともに、その分割したサブフィールドを画素の点灯の可否を設定するアドレス期間と点灯状態を維持する表示期間とに分割し、前記1フィールドにおいて連続する複数のサブフィールド列の開始に先立って画面全体の画素に点灯状態の維持に必要な壁電荷を帯電させるための電荷形成処理を共通に加えた後、連続する複数のサブフィールド列中の選択されたサブフィールドのアドレス期間において点灯不要の画素の壁電荷を消去するための消去アドレッシングを選択的にを行い、表示すべき各画素の明るさに対応して前記複数のサブフィールド列の開始に先立つ点灯操作から選択されたサブフィールドでの消去アドレッシングが行われるまでに含まれるサブフィールドの数を制御するものである。

【0027】請求項14の発明の駆動方法において、前記電荷形成処理は、それ以前の最後の表示期間で点灯状態が維持された画素である前回点灯画素の壁電荷の極性を反転させる第1処理と、前記前回点灯画素以外のセルである前回非点灯画素に前記前回点灯画素と同一極性の壁電荷を生じさせる第2処理とからなる。

【0028】請求項15の発明のプラズマ表示装置は、行方向に延びる第1及び第2の主電極、列方向に延びる

アドレス電極、及び前記第1及び第2の主電極を放電ガス空間に対して被覆する誘電体層を有した3電極面放電構造のPDPと、請求項1乃至請求項15のいずれかに記載のAC型PDPの駆動方法を適用したシーケンスの電圧印加を前記PDPに対して行う駆動回路と、を備えている。

【0029】

【発明の実施の形態】図1は本発明に係るプラズマ表示装置100の構成図である。プラズマ表示装置100は、マトリクス形式のカラー表示デバイスであるAC型のPDP1と、画面（スクリーン）SCを構成する多数のセルCを選択的に点灯させるための駆動ユニット80とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0030】PDP1は、対をなす第1及び第2の主電極としてのサステイン電極X、Yが平行配置され、各セルCにおいてサステイン電極X、Yと第3の電極としてのアドレス電極Aとが交差して配置される3電極面放電構造のPDPである。サステイン電極X、Yは画面の行方向（水平方向）に延び、一方のサステイン電極Yはアドレッシングに際して行単位にセルを選択するためのスキヤン電極として用いられる。アドレス電極Aは列方向（垂直方向）に延びており、列単位にセルを選択するためのデータ電極として用いられる。サステイン電極群とアドレス電極群とが交差する領域が表示領域、すなわち画面SCである。

【0031】駆動ユニット80は、コントローラ81、フレームメモリ82、データ処理回路83、サブフィールドメモリ84、電源回路85、Xドライバ87、Yドライバ88、及びアドレスドライバ89を有している。駆動ユニット80にはTVチューナ・コンピュータなどの外部装置からR、G、Bの各色の輝度レベル（階調レベル）を示す画素単位のフィールドデータDFが、各種の同期信号とともに入力される。

【0032】フィールドデータDFは、フレームメモリ82に一旦格納された後、データ処理回路83へ送られる。データ処理回路83は、点灯させるサブフィールドの組合せを設定するデータ変換手段であり、フィールドデータDFに応じたサブフィールドデータDSFを出力する。サブフィールドデータDSFはサブフィールドメモリ84に格納される。サブフィールドデータDSFの各ビットの値は、サブフィールドにおけるセルの点灯の可否、厳密にはアドレス放電の可否を示す情報である。

【0033】Xドライバ回路87はサステイン電極Xに駆動電圧を印加し、Yドライバ回路88はサステイン電極Yに駆動電圧を印加する。アドレスドライバ回路89は、サブフィールドデータDSFに応じてアドレス電極Aに駆動電圧を印加する。これらドライバ回路には電源回路85から所定の電力が供給される。

【0034】図2はPDP1の内部構造を示す斜視図である。PDP1では、前面側のガラス基板11の内面に、マトリクス画面における水平方向のセル列である行L毎に一对ずつサステイン電極X、Yが配列されている。サステイン電極X、Yは、それぞれが透明導電膜41と金属膜（バス導体）42とからなり、低融点ガラスからなる厚さ30 μ m程度の誘電体層17で被覆されている。誘電体層17の表面にはマグネシア（MgO）からなる厚さ数千オングストロームの保護膜18が設けられている。アドレス電極Aは、背面側のガラス基板21の内面を覆う下地層22の上に配列されており、厚さ10 μ m程度の誘電体層24によって被覆されている。誘電体層24の上には、高さ150 μ mの平面視直線帯状の隔壁29が、各アドレス電極Aの間に1つずつ設けられている。これらの隔壁29によって放電空間30が行方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間30の間隙寸法が規定されている。そして、アドレス電極Aの上方及び隔壁29の側面を含めて背面側の壁面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。なお、隔壁形成に際しては、コントラストを高めるために頂上部を暗色に着色し、他の部分を白色に着色して可視光の反射率を高めるのが望ましい。着色は材料のガラスペーストに所定色の顔料を添加することにより行う。

【0035】放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており（封入圧力は500 Torr）、蛍光体層28R、28G、28Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。表示の1ピクセル（画素）は行方向に並ぶ3個のサブピクセルで構成され、各列内のサブピクセルの発光色は同一である。各サブピクセル内の構造体がセル（表示素子）である。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は全ての行Lに跨って列方向に連続している。そのため、隣接する行Lどうしの電極間隙（逆スリットと呼称されている）の寸法は各行Lの面放電ギャップ（例えば80～140 μ mの範囲内の値）より十分に大きく、列方向の放電結合を防ぐことのできる値（例えば400～500 μ mの範囲内の値）に選定されている。なお、逆スリットには非発光の白っぽい蛍光体層を隠す目的で、ガラス基板11の外側面又は内側面に図示しない遮光膜が設けられる。

【0036】以下、プラズマ表示装置1におけるPDP1の駆動方法を説明する。図3は本発明の駆動方法の模式図である。2値の点灯制御によって階調再現を行うために入力画像である時系列の各フィールドFを16個のサブフィールドSF1、SF2、SF3、SF4、SF5、SF6、SF7、SF8、SF9、SF10、SF11、SF12、SF13、SF14、SF15、SF

16に分割する。言い換えれば、フィールドFを16個のサブフィールドSF1～SF16の集合に置き換えて表示する。各サブフィールドSF1～SF16には、アドレス期間TAとサステイン期間（表示期間）TSとを割り当てる。そして、アドレッシングの回数を低減するためにサブフィールドSF1～SF16を複数（例示では3）のサブフィールド群SFG1、SFG2、SFG3に区分する。表示順序の先頭から第5番目までの5個のサブフィールドSF1～SF5の集合を第1のサブフィールド群SFG1とし、第6番目から第10番目までの5個のサブフィールドSF6～SF10の集合を第2のサブフィールド群SFG2とし、残りの第11番目から第16番目までの6個のサブフィールドSF11～SF16の集合を第3のサブフィールド群SFG3とする。各サブフィールド群SFG1～SFG3には、アドレッシング準備期間TRを割り当てる。本実施形態においては、第1のサブフィールド群SFG1に属する全てのサブフィールドの輝度の重みを最小の「1」とし、第2のサブフィールド群SFG2に属する全てのサブフィールドの輝度の重みを「6」とし、第3のサブフィールド群SFG3に属する全てのサブフィールドの輝度の重みを「36」とする。ここで、第2及び第3のサブフィールド群SFG2、SFG3において、各サブフィールドの重みは最小の重み（「1」）の整数倍であり且つそれより小さい重みの総和に1を加えた値である。すなわち、 $6 = 1 \times 5 + 1$ であり、 $36 = 1 \times 5 + 6 \times 5 + 1$ である。このような重み付けのフィールド構成によれば、サブフィールドの点灯の有無を組み合わせることによって、階調レベル「0」～「255」の階調幅の均等な252階調の表示を実現することができる。したがって、プラズマ表示装置100において表示可能な色の数は 252^3 である。

【0037】なお、各サブフィールド群SFG1～SFG3において、必ずしも全ての重みを同一にする必要はなく、適宜に選定することができる。例えば、第3のサブフィールド群SFG3の1個のサブフィールドSF13の重みを「35」とし、重み「36」の輝度を得る場合に、重み「35」のサブフィールドSF13と重み「1」の1個のサブフィールドSF1とを点灯させるようにしてもよい。また、重みの順に表示する必要もない。例えば、重みの大きいサブフィールドをフィールド期間の中間に配置するといった最適化を行うことができる。動画像表示における偽輪郭を防止する上では、点灯又は非点灯の極端な連続を避けるのが望ましい。ただし、各サブフィールド群SFG1～SFG3に属するサブフィールドは連続的に表示され、ある群のサブフィールドどうしの間に他の群のサブフィールドが挿入されることはない。

【0038】さて、アドレッシング準備期間TRは各サブフィールド群SFG1～SFG3の最前に設けられて

おり、このアドレッシング準備期間TRにおいて、後述の駆動シーケンスによって全てのセルに点灯維持に必要な壁電荷を帯電させる電荷形成処理が行われる。したがって、電荷形成処理を行った状態のまま点灯維持電圧を印加すると、全てのセルが点灯する。各サブフィールドのアドレス期間TAでは、点灯不要のセルのみについて壁電荷を消去する消去アドレッシングが行われる。壁電荷の消去されたセルは、再び電荷形成処理が行われるまで、点灯維持電圧を印加しても点灯しない。サステイン期間TSでは全てのセルに対して同時に交番極性の点灯維持電圧が印加され、壁電荷の残存するセルの点灯状態が維持される。各サブフィールド群SFG1~SFG3において、 n (5又は6) 個のサブフィールドのうちの m ($0 \leq m < n$) 個のサブフィールドを点灯させる階調レベルのセルについては、 $(m+1)$ 番目のアドレス期間TAで壁電荷が消去される。 n 個のサブフィールドを点灯させる階調レベルのセルについては壁電荷の消去は行われない。

【0039】例えば階調レベル「3」を再現するには、重みが1である3個のサブフィールドSF1~SF3のサステイン期間TSにおいてセルを点灯させればよい。この場合、第1のサブフィールド群SFG1のアドレッシング準備期間TRにおいて画面全体に電荷が形成され、第4番目のサブフィールドSF4のアドレス期間TAにおいて該当セルに対して電荷消去が行われる。また、階調レベル「2」を再現する場合には、第3番目のサブフィールドSF3のアドレス期間TAにおいて電荷消去が行われ、第3~第5番目のサブフィールドSF3~SF5のサステイン期間TSにおいて該当セルは非点灯である。

【0040】このように各サブフィールド群SFG1~SFG3毎に再現すべき階調レベルに応じて電荷消去を行う時期を変更することにより、画面全体の電荷形成処理の回数をサブフィールド群数に減らすことができ、アドレッシング回数をサブフィールド群数以下に減らすことができる。消去形式のアドレッシングであるので、再現すべき階調レベルが最大の「251」のときにはアドレッシングは不要である。

【0041】図4は駆動シーケンスを示す電圧波形図である。各サブフィールド群SFG1~SFG3のアドレッシング準備期間TRにおいては、サステイン電極Xに正極性の電圧パルスPrを印加する第1過程と、サステイン電極Xに正極性の電圧パルスPrxを印加し且つサステイン電極Yに負極性の電圧パルスPriyを印加する第2過程とによって、後述のように前回点灯セル及び前回非点灯セルに所定の極性の壁電荷が形成される。なお、第1過程では、アドレス電極Aを正電位にバイアスし、アドレス電極Aとサステイン電極Xとの間の不要の放電を防止する。第2過程に続いて、帯電の均一性を高めるため、サステイン電極Yに正極性の電圧パルスPr

sを印加して全てのセルで面放電を生じさせる。この面放電によって帯電極性は反転する。その後、電荷の消失を避けるため、サステイン電極Yの電位を緩やかに低減させる。

【0042】アドレッシング準備期間TRに続くアドレス期間TAにおいては、先頭のラインから1ラインずつ順に各ラインを選択し、該当するサステイン電極Yに負極性のスキャンパルスPyを印加する。ラインの選択と同時に、非点灯とすべきセル (今回非点灯セル) に対応したアドレス電極Aに対して正極性のアドレスパルスPaを印加する。選択されたラインにおけるアドレスパルスPaの印加されたセルでは、サステイン電極Yとアドレス電極Aとの間で対向放電が起こって誘電体層17の壁電荷が消失する。アドレスパルスPaの印加時点ではサステイン電極Xの近傍には正極性の壁電荷が存在するので、その壁電圧でアドレスパルスPaが打ち消され、サステイン電極Xとアドレス電極Aの間では放電は起きない。このような消去形式のアドレッシングは、書込み形式と違って電荷の再形成が不要であるので、高速化に適している。具体的には1ライン当たりのアドレス時間 (ライン走査周期) は $1.5 \mu s$ 程度であり、書込み形式の場合の半以下である。ライン数が480の場合、1回のアドレッシングの所要時間は $720 \mu s$ であり、16個のアドレス期間TAの合計時間は $11.5 ms$ (フィールド期間の約69%) である。

【0043】サステイン期間TSにおいては、不要の放電を防止するために全てのアドレス電極Aを正極性の電位にバイアスし、最初に全てのサステイン電極Xに正極性のサステインパルスPsを印加する。その後、サステイン電極Yとサステイン電極Xに対して交互にサステインパルスPsを印加する。本実施形態では、最終のサステインパルスPsはサステイン電極Yに印加される。サステインパルスPsの印加によって、アドレス期間TAにおいて壁電荷の残されたセル (今回点灯セル) で面放電が生じる。

【0044】サステイン期間TSに続くアドレス期間TAにおいては、帯電分布を整える目的で、サステイン電極Xに電圧パルスPrを印加するとともにサステイン電極Yに電圧パルスPrsを印加する。そして、アドレッシング準備期間TRと同様にサステイン電極Yの電位を緩やかに低減させ、その後に第1番目のアドレス期間TAと同様にライン順次のアドレッシングを行う。

【0045】図5は本発明に係わるアドレッシング準備の基本概念を示す電圧波形図である。同図における壁電圧Vwall及び実効電圧Veffの極性は、サステイン電極Yの電位を基準としてみたものである。

【0046】アドレッシング準備期間TRの開始時点において、前回点灯セルには点灯維持の面放電で生じた壁電荷が残存している。その極性は、上述のとおりサステイン期間における最終のサステインパルスPsがサステ

イン電極Yに印加されるので、サステイン電極Xの側が正極性であり、サステイン電極Yの側が負極性である。したがって、前回点灯セルでは、サステイン電極間（主電極間）に正の壁電圧 V_{wall} が加わっている。一方、前回非点灯セルでは、以前のアドレッシングで壁電荷が消去されているので、壁電圧 V_{wall} は零である。

【0047】サステイン電極Xに波高値がサステインパルス P_s と同じかそれに近い電圧パルス P_r を印加すると、前回点灯セルの実効電圧 V_{eff} は、図中に実線で示すように放電開始電圧 V_f を越える。このため、前回点灯セルでは面放電が生じ、電荷が一旦消失した後に再形成され、壁電圧 V_{wall} の極性が反転する。前回非点灯セルでは、図中に破線で示すように実効電圧 V_{eff} が放電開始電圧 V_f を越えないので、放電は生じず、無帯電状態が保たれる。

【0048】続いて、印加電圧が点灯維持電圧（サステインパルス P_s の波高値 V_s ）の2倍程度となるように波高値の設定された互いに極性の異なる電圧パルス P_{rx} 、 P_{ry} を印加すると、前回非点灯セルにおいて実効電圧 V_{eff} が放電開始電圧 V_f を越えて面放電が生じる。これにより、前回非点灯セルに前回点灯セルと同じ負の壁電圧 V_{wall} が加わる。一方、前回点灯セルでは、壁電圧 V_{wall} が印加電圧を引き下げ、実効電圧 V_{eff} が放電開始電圧 V_f を越えない。したがって、前回点灯セルの帯電状態が保たれる。つまり、前回点灯セルと前回非点灯セルとが同様に帯電した状態が形成される。ただし、帯電量が若干の差異が生じる場合があるので（通常は前回非点灯セルの方が多い）、帯電量を揃えるために電圧パルス P_{rs} を印加して面放電を生じさせる。

【0049】このように残存する壁電荷を利用して2段階で画面全体を帯電させるので、1回の放電で帯電状態を形成する場合と比べて、より均一な帯電分布がえられ、アドレッシングの信頼性が高まる。

【0050】図6は本発明の駆動方法の変形例の模式図である。特定のサブフィールド群（図示の例ではSFG3）において、電荷消去を行ったセルについては、それ以降の1以上のアドレス期間TAでも同じサブフィールドデータDSFを用いて消去アドレッシングを行う。これにより、仮にアドレス放電ミスが生じて点灯不要のセルが点灯したとしても、消去アドレッシングを繰り返すことによって不要電荷が消去され、当該セルは非点灯状態となる。通常は最初の消去アドレッシングで不要電荷が消去されてしまうので、2回目以降の消去アドレッシングでは放電が起こらず、コントラストは低下しない。

【0051】全てのサブフィールド群SFG1～SFG3でアドレッシングを繰り返すことは可能である。しかし、アドレス放電ミスの発生確率が小さく、また、輝度の重みの小さいサブフィールドではアドレス放電ミスの影響（誤点灯による輝度上昇）が軽微であることを考え合わせると、輝度の重み又は重みの総和の降順に特定

のサブフィールド群を選定するのが望ましい。それは、最初に正しくアドレッシングが行われて2回目以降のアドレッシングで放電が起きないとしても、スキャンパルス P_y 及びアドレスパルス P_a を印加すればセルの充電に電力が費やされるからである。また、特定のサブフィールド群において、アドレッシングの最大回数を2又は3程度に制限するのも、消費電力の低減に有効である。

【0052】図6の例では最も個々の重み及び重みの総和の大きいサブフィールド群SFG3が特定のサブフィールド群とされており、アドレッシングの最大回数が2に制限されている。

【0053】図7は駆動シーケンスの変形例を示す電圧波形図である。輝度の重みの大きいサブフィールドと比べて重みの小さいサブフィールドでのアドレッシングの設りの影響は小さい。そこで、最小の重みのサブフィールドSF1～SF5のライン走査周期 $\Delta T'$ を、他のサブフィールドSF6～SF16のライン走査周期 ΔT よりも短くする。これにより、サブフィールドSF1～SF5のアドレス期間TA'は他のサブフィールドSF1～SF5のアドレス期間TAより短くなるので、その分だけサステイン期間TSを全体的に長くして最大発光輝度を高めたり、サブフィールド数を増やして階調性を高めたりすることができる。

【0054】また、表示内容によっては、各サブフィールド群SFG1～SFG3のあるサブフィールド以降において、全てのセルが点灯不要となる場合がある。この点灯不要期間にセルに電圧を印加しても電極間の静電容量の充電に電力が費やされるだけである。したがって、全てのセルが点灯不要のサブフィールドについては、アドレスパルス P_a だけでなくスキャンパルス P_y 及びサステインパルス P_s の出力を取り止め、実質的に電圧印加を停止する。このような制御は、コントローラ81

（図1参照）によってデータ処理回路83からの階調レベル情報に基づいて行われる。制御を簡略化するために特定のサブフィールド群のみについて電圧印加を停止するようにしてもよい。その場合、省電力効果の上から、輝度の重みの降順、輝度の重みの総和の降順、又はサブフィールド数の降順に特定のサブフィールド群を選ぶのが望ましい。

【0055】以上の実施形態においては、アドレス放電による蛍光体の劣化を軽減するためにアドレスパルス P_a を正極性と定めて他のパルスの極性を設定し、また、片方のサステイン電極のみに正極性のサステインパルスを印加するようにして駆動回路を単純化した例を挙げたが、これに限定されるものではない。つまり、印加電圧の極性の変更は可能である。電荷形成処理の第2過程の電圧パルス P_{rx} 、 P_{ry} については、波高値の割り振りは任意であるが、回路構成の上では例示のとおり同等に割り振って V_s と $-V_s$ の組合せにするのが有利である。

【0056】

【発明の効果】請求項1乃至請求項15の発明によれば、サブフィールドを区分けしてサブフィールド数より少ない回数のアドレッシングで階調再現を行う場合に、再現する階調レベルに係わらず動作を安定化することができる。したがって、サブフィールド群のサブフィールド数を増加し、それによってアドレッシングに係わる消費電力を増やすことなく多階調化を図ることができる。

【0057】請求項2又は請求項14の発明によれば、以前の点灯の有無に係わらず画面全体をより均一に帯電させることができ、アドレッシングの信頼性を高めることができる。

【0058】請求項4の発明によれば、フィールド全体の点灯の時間分布を平均化して偽輪郭を軽減することができる。請求項5乃至請求項7の発明によれば、アドレッシングにおいて放電ミスが生じたとしても、それによる不要の点灯を最小限に抑えることができる。

【0059】請求項8乃至請求項10の発明によれば、消費電力を低減することができる。請求項11又は請求項12の発明によれば、サステイン期間の延長による高輝度化、サブフィールド数の増加による多階調化の少なくとも一方の実現が可能となる。

【図面の簡単な説明】

【図1】本発明に係るプラズマ表示装置の構成図である。

【図2】PDPの内部構造を示す斜視図である。

【図3】本発明の駆動方法の模式図である。

【図4】駆動シーケンスを示す電圧波形図である。

【図5】本発明に係わるアドレッシング準備の基本概念を示す電圧波形図である。

【図6】本発明の駆動方法の変形例の模式図である。

【図7】駆動シーケンスの変形例を示す電圧波形図である。

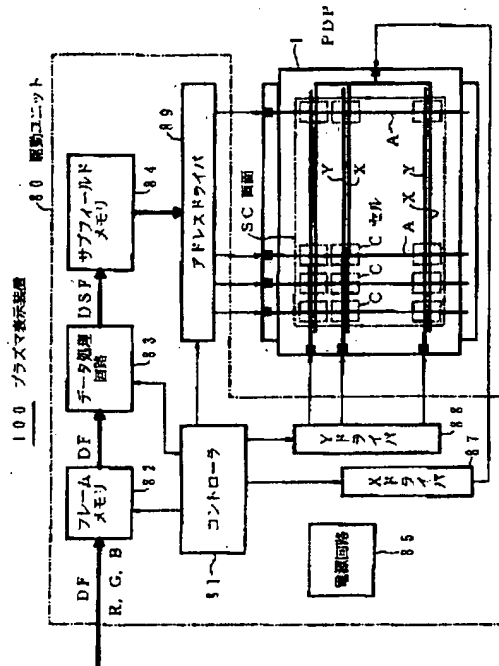
【図8】従来の駆動方法の模式図である。

【符号の説明】

- 1 PDP (AC型PDP)
- 17 誘電体層
- 30 放電空間 (放電ガス空間)
- 80 駆動ユニット (駆動回路)
- 100 プラズマ表示装置。
- C セル
- SC 画面
- A アドレス電極
- X サステイン電極 (第1の主電極)
- Y サステイン電極 (第2の主電極)
- F フィールド
- SF1~16 サブフィールド
- SFG1~3 サブフィールド
- TA アドレス期間
- TS サステイン期間 (表示期間)
- TR アドレッシング準備期間
- ΔT , $\Delta T'$ ライン走査周期

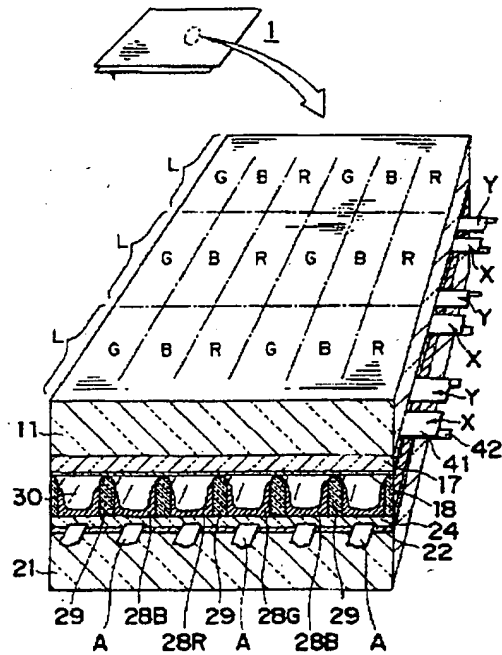
【図1】

本発明に係るプラズマ表示装置の構成図



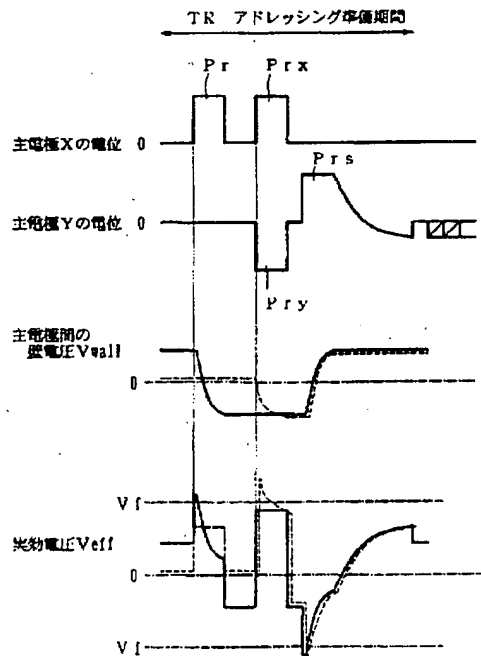
【図2】

PDPの内部構造を示す斜視図



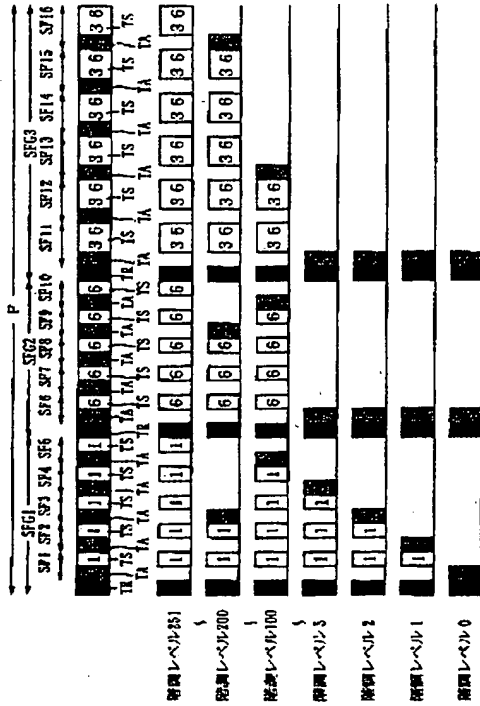
【図5】

本発明に係るアドレッシング準備の基本概念を示す電圧波形図



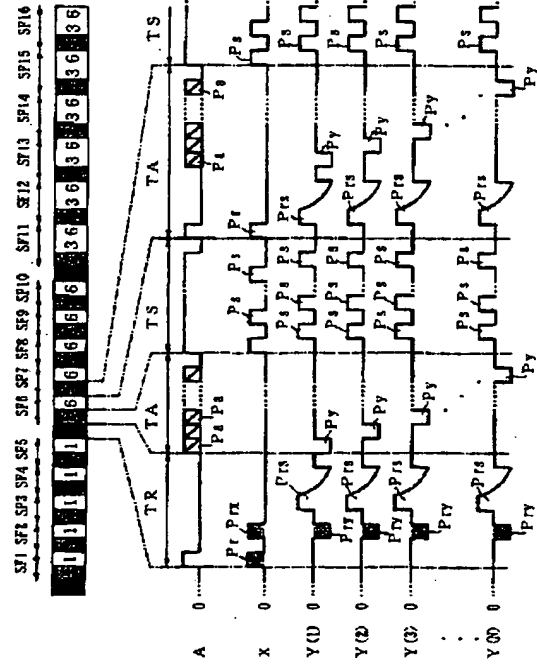
【図3】

本発明の駆動方法の模式図



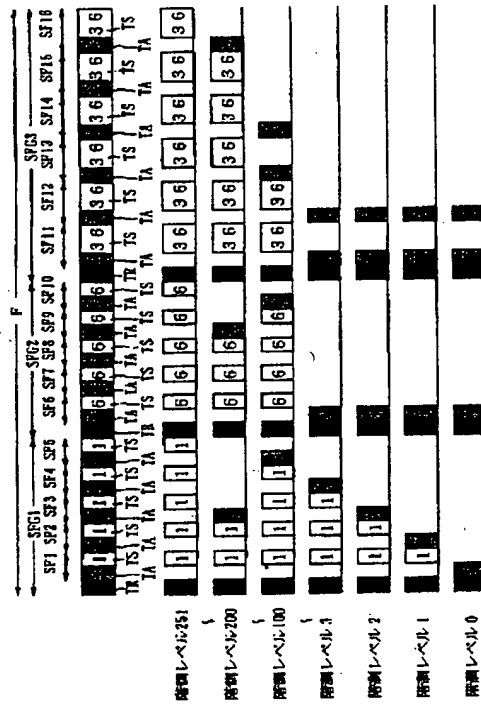
【図4】

駆動シーケンスを示す減圧波形図



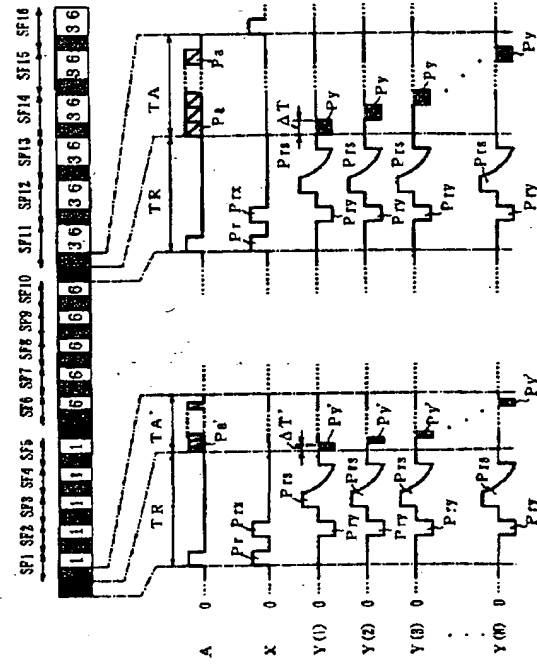
【図6】

本発明の駆動方法の変形例の模式図



【図7】

駆動シーケンスの変形例を示す電圧波形図



【図8】

従来の駆動方法の模式図

